

のや、さらに適当な方法で単結晶化させたものなど、さまざまな半導体層に形成することができる。

(発明の効果)

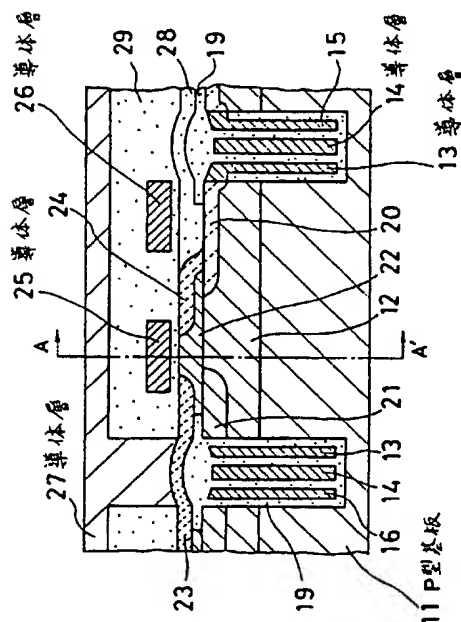
本発明の半導体メモリセルは、セル間干渉が生じず、浅い溝深さで大きなセル容量が得られ、ソフトエラー率が小さく、素子分離領域が不要である。しかもビット線コンタクトを溝の上に形成できるのでビット線コンタクトを隣のセルと共通にでき、セル面積の微少化ができる。また溝側面の半導体界面が万一反転状態になった場合でもスイッチング用FETのリークパスをカットできるため情報保持特性が悪化することはない。さらにスイッチング用FETの基板領域は一定電圧が供給されているために誤動作することもない。このように本発明の効果は非常に大きい。

#### 4. 図面の簡単な説明

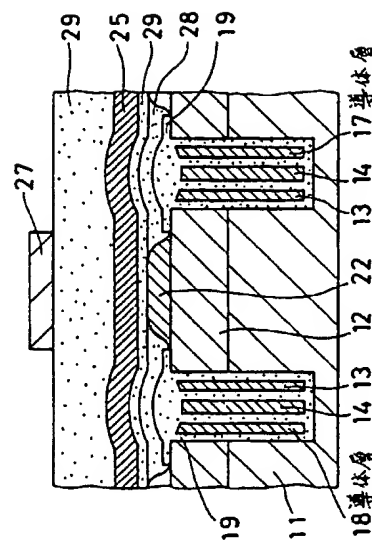
第1図(a)は本発明の一実施例のビット線方向の断面図、第1図(b)は第1図(a)のA-A'において切り出したワード線方向の断面図である。

において切り出したワード線方向の断面図、第2図(a)はIVECセルのビット線方向の断面図、第2図(b)は第2図(a)のA-A'において切り出したワード線方向の断面図である。

代理人 弁理士 本庄伸介



第1図(a)



第1図(b)

12: P型領域 20: N型領域 23: N型領域  
15,16: 導体層 21: P型領域 24: N型領域  
19: 絶縁膜 22: P型領域 28,29: 絶縁膜